

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09232632 A**

(43) Date of publication of application: **05.09.97**

(51) Int. Cl

**H01L 33/00**

(21) Application number: **08341612**

(22) Date of filing: **20.12.96**

(30) Priority: **22.12.95 JP 07335412**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **ISHIKAWA MASAYUKI  
SUGAWARA HIDETO  
NITTA KOICHI**

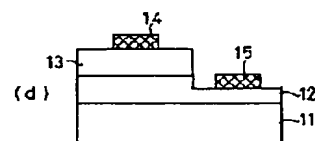
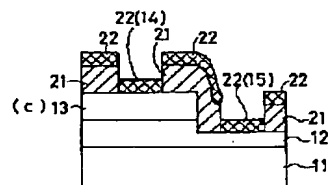
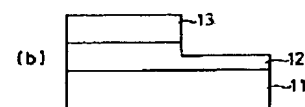
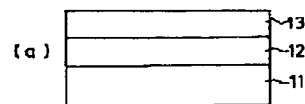
(54) **SEMICONDUCTOR LIGHT-EMITTING ELEMENT  
AND MANUFACTURE THEREOF**

(57) Abstract:

PROBLEM TO BE SOLVED: To simultaneously form a p-side electrode and an n-side electrode in the same condition by a method wherein the p-side electrode and the n-side electrode, formed on a p-type layer and an n-type layer, are constituted by the same metal single substance, and they are formed by the same process.

SOLUTION: A P-N junction wafer, on which an N-type layer 12 consisting of n-GaN, and a P-type layer 13 consisting of p-GaN, are prepared on an insulative sapphire substrate 11 using an organic metal vapor growth method and the like. Then, the N-type layer 12 is exposed from a part of the P-type layer 13 by selectively etching the P-N junction wafer. A resist is applied to the surface of the wafer, a mask pattern 21 is formed, a metal layer 22 is formed by laminating Ni, Ti and Au on the surface of the pattern 21, and the mask pattern 21 is removed. As a result, P and N side electrodes 14 and 15 can be formed simultaneously by a lift-off method.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-232632

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 33/00

識別記号

庁内整理番号

F I

H 0 1 L 33/00

技術表示箇所

C

E

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願平8-341612

(22) 出願日 平成8年(1996)12月20日

(31) 優先権主張番号 特願平7-335412

(32) 優先日 平7(1995)12月22日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 石川 正行

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝川崎事業所内

(72) 発明者 菅原 秀人

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝川崎事業所内

(72) 発明者 新田 康一

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝川崎事業所内

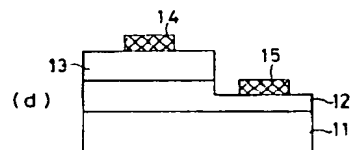
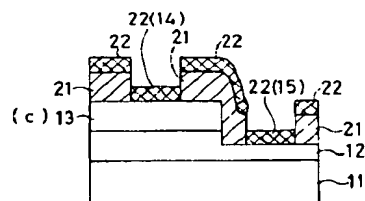
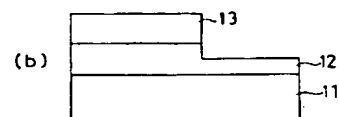
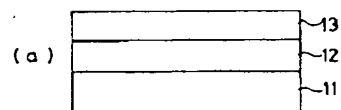
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体発光素子及びその製造方法

## (57) 【要約】

【課題】 電極の形成工程を簡素化して、全体の製造工程の短縮を可能にすると共に、良好な素子特性を得ることができる半導体発光素子の製造方法を提供する。

【解決手段】 基板の同一面側に窒化ガリウム系化合物半導体からなるp型層とn型層を形成し、前記p型層とn型層の全面または一部に、同一の金属単体または合金、もしくはそれらからなる層構造で構成される電極を同時に形成して、それぞれp側電極及びn側電極とする。



#### 【特許請求の範囲】

【請求項1】 基板の同一面側に形成され窒化ガリウム系化合物半導体からなるp型層及びn型層と、前記p型層及び前記n型層上にそれぞれ形成されたp側電極及びn側電極とを備えた半導体発光素子において、前記p側電極と前記n側電極は、同一の金属単体または合金、もしくはそれらからなる層構造で構成され且つ同一工程で形成された電極であることを特徴とする半導体発光素子。

【請求項2】 前記p側電極と前記n側電極は、少なくともTiとAuとが積層されてなることを特徴とする請求項1記載の半導体発光素子。

【請求項3】 前記p側電極と前記n側電極は、少なくともNiとAuとが積層されてなることを特徴とする請求項1記載の半導体発光素子。

【請求項4】 前記p側電極及び前記n側電極がフリップチップ方式で第1及び第2の外部リードにそれぞれ接続され、フェースダウンで前記基板の裏面側より外部へ光を取り出すように構成されたことを特徴とする請求項1乃至請求項3記載の半導体発光素子。

【請求項5】 基板の同一面側に形成され窒化ガリウム系化合物半導体からなるp型層及びn型層と、前記p型層及び前記n型層上にそれぞれ形成されたp側電極及びn側電極とを備えた半導体発光素子において、前記p側電極と前記n側電極は、同一の導電性材料の単体または複合体、もしくはそれらからなる層構造で構成され且つ同一工程で形成された透光性の電極であることを特徴とする半導体発光素子。

【請求項6】 基板の同一面側に窒化ガリウム系化合物半導体からなるp型層とn型層を形成し、前記p型層とn型層の全面または一部に、同一の金属単体または合金、もしくはそれらからなる層構造で構成される電極を同時に形成して、それぞれp側電極及びn側電極とすることを特徴とする半導体発光素子の製造方法。

【請求項7】 基板の同一面側に窒化ガリウム系化合物半導体からなるp型層とn型層を形成し、前記p型層とn型層の全面または一部に、同一の導電性材料の単体または複合体、もしくはそれらからなる層構造で構成される透光性の電極を同時に形成して、それぞれp側電極及びn側電極とすることを特徴とする半導体発光素子の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、窒化ガリウム系化合物半導体 ( $\text{In}_x\text{Ga}_{1-x}\text{Al}_y\text{N}$ ;  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ) からなる発光ダイオード、半導体レーザなどの半導体発光素子、及びその製造方法に関する。

##### 【0002】

【従来の技術】 従来、この種の半導体素子としては、例

えば図11に示すようなものがあった。図11は、従来の窒化ガリウム系化合物半導体発光素子の構造を示す断面図である。

【0003】 この半導体発光素子は、絶縁性のサファイア基板11の上に、n型の窒化ガリウム系化合物半導体層（以下、単にn型層という）112と、p型の窒化ガリウム系化合物半導体層（以下、単にp型層という）113とを積層したp-n接合ウエハに対し、p型層113の一部を選択的にエッチングしてn型層112を露出させ、p型層113に対してp側電極114を、n型層112に対してはp側電極114と電極材料の異なるn型電極115を形成させることにより、p-n接合型の発光素子が実現されている (Applied Physics Letters, vol. 64, pp. 1687-1689, March 28, 1994)。

【0004】 なお、p側及びn側電極が同一面側に形成されているのは、窒化ガリウム系化合物半導体層が絶縁性のサファイア基板上に形成されるためであり、この材料系の半導体発光素子に特徴的である。

【0005】 図12(a)～(d)及び図13(e),(f)は、上記図11に示した半導体発光素子の製造工程を示す断面図である。

【0006】 まず、図12(a)に示すように、絶縁性のサファイア基板111の上に、n-GaNからなるn型層112とp-GaNからなるp型層113とを積層したp-n接合ウエハを用意する。次に、そのp-n接合ウエハに対し、p型層113の一部より選択的にエッチングしてn型層112を露出させる (図12(b))。

【0007】 その後、リフトオフ法によって前記n側電極115を形成すべく、前記ウエハ表面にマスクパターン121を形成し、さらにそのマスクパターン121の表面にn側の電極として適したTi/Al層115aを真空蒸着法により形成する (図12(c))。そして、マスクパターン121を除去すれば、図12(d)に示すようにn型層112の表面上にn側電極115を得る。

【0008】 さらに、同様にリフトオフ法によって前記p側電極114を形成すべく、n側電極115の形成された前記ウエハ表面にマスクパターン122を形成し、そのマスクパターン122の表面にp側の電極として適したNi/Au層114aを蒸着形成する (図12(e))。そして、マスクパターン122を除去すれば、図12(f)に示すように、上記図11に示す電極構造の半導体発光素子が得られる。

【0009】 上述の如く、従来の半導体発光素子では、p側及びn側の電極114、115をそれぞれ異なる電極材料で形成し、これによって良好なオーミック特性を得ることにより、素子の動作電圧を低減し、過剰な発熱による特性の劣化を防ぐようにしていた。

【0010】

【発明が解決しようとする課題】しかしながら、このような異なる電極材料からなる電極構造を形成するには、上記したように電極金属の蒸着やパターン形成など複数回行うことが必要となり、製造工程が長く複雑になる。そのため、製造プロセスに時間がかかるばかりか、製造時に初期不良や長期通電などによる劣化が発生し、良好な素子特性が得られる歩留を悪化させるという問題があった。

【0011】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、良好な素子特性を得ることができる半導体発光素子を提供することである。またその他の目的は、電極の形成工程を簡素化して、製造工程の短縮を可能にした半導体発光素子の製造方法を提供することである。

【0012】

【課題を解決するための手段】上記目的を達成するために、第1の発明である半導体発光素子の特徴は、基板の同一面側に形成され窒化ガリウム系化合物半導体からなるp型層及びn型層と、前記p型層及び前記n型層上にそれぞれ形成されたp側電極及びn側電極とを備えた半導体発光素子において、前記p側電極と前記n側電極は、同一の金属単体または合金、もしくはそれらからなる層構造で構成され且つ同一工程で形成された電極としたことにある。

【0013】この第1の発明である半導体発光素子によれば、p側及びn側電極の電極材料として同一の材料を使用するため、p側及びn側電極を同一条件で同時に形成させることができる。このようにp側及びn側電極を同時に一括して形成しても素子特性に悪影響はなく、良好な特性を得ることができる。

【0014】第2の発明である半導体発光素子の特徴は、上記第1の発明において、前記p側電極と前記n側電極は、少なくともTiとAuとが積層されてなることにある。

【0015】この第2の発明である半導体発光素子によれば、良好なオーミック特性を得ることができる。

【0016】第3の発明である半導体発光素子の特徴は、上記第1の発明において、前記p側電極と前記n側電極は、少なくともNiとAuとが積層されてなることにある。

【0017】この第3の発明である半導体発光素子によれば、良好なオーミック特性を得ることができる。

【0018】第4の発明である半導体発光素子の特徴は、上記第1乃至第3の発明において、前記p側電極及び前記n側電極がフリップチップ方式で第1及び第2の外部リードにそれぞれ接続され、フェースタウンで前記基板の裏面側より外部へ光を取り出すように構成されたことにある。

【0019】この第4の発明によれば、n側電極とp側

電極に同一の電極を用いているので、均質な反射特性が得られる。

【0020】第5の発明である半導体発光素子の特徴は、基板の同一面側に形成され窒化ガリウム系化合物半導体からなるp型層及びn型層と、前記p型層及び前記n型層上にそれぞれ形成されたp側電極及びn側電極とを備えた半導体発光素子において、前記p側電極と前記n側電極は、同一の導電性材料の単体または複合体、もしくはそれらからなる層構造で構成され且つ同一工程で形成された透光性の電極としたことにある。

【0021】この第5の発明によれば、p側電極及びn側電極を透光性の電極にしているため、上記第1乃至第3の発明に比べて光をより有効に取り出すことができる。特に、n側電極をも透光性に行っていることにより、裏面からの反射光をより有効に取り出すことができる。

【0022】第6の発明である半導体発光素子の製造方法の特徴は、基板の同一面側に窒化ガリウム系化合物半導体からなるp型層とn型層を形成し、前記p型層とn型層の全面または一部に、同一の金属単体または合金、もしくはそれらからなる層構造で構成される電極を同時に形成して、それぞれp側電極及びn側電極とすることにある。

【0023】この第6の発明によれば、上記第1乃至第3の発明と同等の半導体発光素子を製造するに際して、電極の形成工程が簡素化し、製造工程の短縮を図ることができる。

【0024】第7の発明である半導体発光素子の製造方法の特徴は、基板の同一面側に窒化ガリウム系化合物半導体からなるp型層とn型層を形成し、前記p型層とn型層の全面または一部に、同一の導電性材料の単体または複合体、もしくはそれらからなる層構造で構成される透光性の電極を同時に形成して、それぞれp側電極及びn側電極とすることにある。

【0025】この第7の発明によれば、上記第5の発明と同等の半導体発光素子を製造するに際して、電極の形成工程が簡素化し、製造工程の短縮を図ることができる。

【0026】

【発明の実施の形態】以下、本発明の実施形態を図面に基いて説明する。図1は、本発明の第1実施形態に係る半導体発光素子の断面構造図である。

【0027】この半導体発光素子は、絶縁性のサファイア基板11上に窒化ガリウム系化合物半導体からなるn型層12とp型層13とを積層したp-n接合ウエハにおいて、前記p型層13及びn型層12の表面上には、同一の金属からなるp側電極14及びn側電極15がそれぞれ形成されている。

【0028】ここで、n側電極15は、従来と同様に、前記p-n接合ウエハのp型層13の一部より選択的にエッチングしてn型層12を露出させることにより、n

型層12の表面上に形成されている。

【0029】前記p側電極14及びn側電極15の電極材料としては、p側及びn側共に、より良好なオーミック特性を得るために、本実施形態では、Ni（ニッケル）とTi（チタン）とAu（金）を積層した合金を用いている。但し、この電極材料としては、Au、Pd（パラジウム）、Ti、Pt（白金）、Mo（モリブデン）、Cr（クロム）、Al（アルミニウム）、Co（コバルト）、Rh（ロジウム）、Ir（イリジウム）、Mn（マンガン）、V（バナジウム）、Sc（スカンジウム）、Mg（マグネシウム）、Zr（ジルコニウム）などの金属単体やこれらの金属より構成される合金、さらにはこれらの金属や合金からなる層構造としてもよい。例えば、NiとAuを積層した合金、またはTiとAuを積層した合金であっても、良好なオーミック特性を得ることができる。

【0030】上記構造の半導体発光素子では、p側電極14とn側電極15間に所定の電圧を与えると、p側電極14側からの正孔とn側電極15側からの電子が、n型層12とp型層13との界面付近で再結合する結果、発光する。

【0031】図2（a）～（d）は、図1に示した半導体発光素子の製造工程を示す断面図である。

【0032】まず、同図（a）に示すように、絶縁性のサファイア基板11の上に、n-GaNからなるn型層12とp-GaNからなるp型層13とを積層したp-n接合ウエハを有機金属気相成長法などを用いることにより用意する。次に、そのp-n接合ウエハに対し、従来と同様に、p型層13の一部より選択的にエッチングしてn型層12を露出させる（図2（b））。

【0033】その後、1回のリフトオフによって同時にp側電極14及びn側電極15を形成すべく、前記ウエハ表面にレジストを塗布してマスクパターン21を形成し、さらにそのマスクパターン21の表面に、真空蒸着法によりNiとTiとAuを順次積層して金属層22を形成する（図2（c））。

【0034】そして、マスクパターン21を除去すれば、図2（d）に示すように、上記図1に示す電極構造の半導体発光素子が得られる。

【0035】ここで、p側電極14及びn側電極15を構成するNi、Ti、Auの厚さをそれぞれ0.02 $\mu$ m、0.02 $\mu$ m、0.5 $\mu$ mとしたとき、本実施形態の20mAにおける動作電圧は3.8Vとなる。この値は、上記従来の半導体発光素子（図11）の動作電圧（3.6V）とほぼ同等のものが本実施形態による電極構造により得られていることを示すものである。

【0036】低い動作電圧を得るには、図3のグラフに示すように、前記Ni、Ti、Auのうち、Ni、Tiの厚さを0.001から0.5 $\mu$ mまでの範囲にすることが望ましい。それは、この厚さを0.001 $\mu$ mより

薄くすると密着性が悪くなって電極が剥かれやすくなり、また、0.5 $\mu$ mよりも厚くするとp側またはn側のコンタクト抵抗が高くなり動作電圧が高くなるからである。さらに望ましい範囲としては0.005～0.1 $\mu$ mにすることで動作電圧が低い実用的な素子を得ることができる。

【0037】上記の如く、本実施形態では、p側電極14及びn側電極15の電極材料として同一の材料を使用したので、p側電極14及びn側電極15を同一条件で同時に被着させることができる。このように同時に形成しても、素子特性に悪影響はなく、良好な特性を得ることができる。

【0038】従って、素子形成プロセスが大幅に簡素化されて製造時間が短縮化し、しかも複雑な製造プロセスが不要となることで、初期不良の発生や長期通電による劣化の発生を抑制することができる。

【0039】図4は、本発明の第2実施形態に係る半導体発光素子（シングルヘテロ構造）の断面構造図である。

【0040】この半導体発光素子は、絶縁性のサファイア基板31の上に、n-GaNからなるn型層32と、p-GaAlNからなるp型層33、p-GaNからなるp型層34とを積層したシングルヘテロ構造のウエハに対し、p型層34の一部より選択的にエッチングしてn型層32を露出させ、p型層34に対してはp側電極35を、n型層32に対しては前記p側電極35と同一の電極材料からなるn型電極36を形成している。

【0041】前記p側電極35及びn側電極36の電極材料としては、上記第1実施形態と同様に、例えばNiとTiとAuを積層した合金を用い、この半導体発光素子の製造方法は、使用するウエハがシングルヘテロ構造であることのみが異なり、上記図2に示したものと同様である。

【0042】本実施形態においても、上記第1実施形態と同様の効果が得られる。

【0043】図5は、本発明の第3実施形態に係る半導体発光素子（ダブルヘテロ構造）の断面構造図である。

【0044】この半導体発光素子は、絶縁性のサファイア基板41の上に、n-GaNからなるn型層42と、窒化ガリウム系化合物半導体からなる活性層43と、p-GaNからなるp型層44とを積層したダブルヘテロ構造のウエハに対し、p型層44の一部より選択的にエッチングしてn型層42を露出させ、p型層44に対してはp側電極45を、n型層42に対しては前記p側電極45と同一の電極材料からなるn型電極46を形成している。

【0045】前記p側電極45及びn側電極46の電極材料としては、上記第1実施形態と同様に、例えばNiとTiとAuを積層した合金を用い、この半導体発光素子の製造方法は、使用するウエハがダブルヘテロ構造で

あることのみが異なり、上記図2に示したものと同様である。

【0046】本実施形態においても、上記第1実施形態と同様の効果が得られる。

【0047】図6は、本発明の第4実施形態に係る半導体発光素子（半導体レーザ）の断面構造図である。

【0048】この半導体発光素子は、半導体レーザとして構成され、絶縁性のサファイア基板51の上に、 $n$ -Ga $N$ からなる $n$ 型層52と、窒化ガリウム系化合物半導体からなる活性層53と、 $p$ -Ga $AlN$ からなる $p$ 型層54と、 $n$ 型領域55が部分的に形成された $p$ 型層56とを積層したウエハに対し、 $p$ 型層56の一部より選択的にエッチングして $n$ 型層52を露出させ、 $p$ 型層56に対しては $p$ 側電極57を、 $n$ 型層52に対しては前記 $p$ 側電極57と同一の電極材料からなる $n$ 型電極58を形成している。

【0049】前記 $p$ 側電極57及び $n$ 側電極58の電極材料としては、上記第1実施形態と同様に、例えば $Ni$ と $Ti$ と $Au$ を積層した合金を用い、この半導体発光素子の製造方法は、使用するウエハの構造のみが異なり、上記図2に示したものと同様である。

【0050】本実施形態においても、上記第1実施形態と同様の効果が得られる。

【0051】図7は、本発明の第5実施形態に係る半導体発光素子（ダブルヘテロ構造）の断面構造図である。

【0052】この半導体発光素子は、絶縁性のサファイア基板61上に、 $n$ - $InGaAlN$ 層62と、 $InGaAlN$ からなる活性層63と、 $p$ - $InGaAlN$ 層64とを積層したダブルヘテロ構造のウエハに対し、 $p$ 型層64の一部より選択的にエッチングして $n$ 型層62を露出させ、 $p$ 型層64に対しては $p$ 側電極65を、 $n$ 型層62に対しては前記 $p$ 側電極65と同一の電極材料からなる $n$ 型電極66をそれぞれ形成している。

【0053】ここで、 $p$ 側電極65及び $n$ 型電極66は、活性層63からの発光を透過する透光性の電極で構成されている。この透光性の電極材料としては、例えば厚さが $0.001\mu m$ から $0.05\mu m$ 程度の金属単体やこれらの金属より構成される合金、さらにはこれらの金属や合金からなる層構造、あるいは酸化インジウム錫（ITO）等の透光性の導電性酸化物膜などが用いられる。

【0054】また、 $p$ 型層64上面から $p$ 側電極65上面の一部に積重する形で $p$ 側台座電極67が設けられ、さらに $n$ 型層62上面から $n$ 側電極66上面の一部に積重する形で $n$ 側台座電極68が設けられている。 $p$ 側台座電極67及び $n$ 側台座電極68の電極材料としては、例えば $Ti$ と $Au$ の積層膜あるいは $Ni$ と $Au$ の積層膜が用いられている。

【0055】上述の本実施形態の半導体発光素子（ダブルヘテロ構造）の平面構造図を図8（a）、（b）に示

す。 $p$ 側台座電極67及び $n$ 側台座電極68が、同図

（a）の例では矩形チップの横中央線上に配置されているのに対し、同図（b）の例では矩形チップの右隅部に寄った位置に配置されている。図8（b）の例では、同図（a）の配置例に比べて、特に $n$ 側台座電極68に対してワイヤボンディングする際に、ボンディングツール用の領域が十分確保されているので、支障なく容易にボンディングを行うことができる。

【0056】この半導体発光素子の製造方法は、上記したダブルヘテロ構造のウエハを用いて上記第1実施形態に示したものと同様の方法で $p$ 型層64及び $n$ 型層62の上面にそれぞれ透光性の $p$ 側電極65及び $n$ 型電極66を形成し、さらに、前記 $p$ 側台座電極67と $n$ 側台座電極68を例えば前述の同一材料を用いて真空蒸着法により同時に形成する。

【0057】本実施形態においては、上記第1実施形態と同様の効果を得ることができるほか、 $p$ 型電極65及び $n$ 側電極66を透光性に行っているため、上記第1～第4実施形態に比べて活性層からの発光をより有効に取り出すことができる。特に、 $n$ 側電極66をも透光性に行っていることにより、裏面からの反射光をより有効に取り出すことができ、チップ外部への光取り出し効率を一層向上させることが可能になる。

【0058】なお、本実施形態では、ダブルヘテロ構造を例にとり、 $p$ 側電極及び $n$ 型電極を透光性の電極で構成する発明を説明したが、ダブルヘテロ構造に限らず、シングルヘテロ構造やホモ構造、あるいは半導体レーザであっても本発明の適用は可能である。

【0059】以下に、上記各実施形態で示された半導体発光素子の実装例を図9及び図10を用いて説明する。なお、半導体発光素子はダイシングで個々のチップに分割してあるものとする。

【0060】図9は、本発明の半導体発光素子を実装したLED製品の断面構造図であり、チップ主面側から外部に光を取り出すタイプを示したものである。なお、同図9では、上記第5実施形態（図7）で説明したダブルヘテロ構造のLEDチップを実装した例を示しているが、他の第1～第4実施形態に示すような構造のLEDチップであっても同様に説明される。

【0061】図9において、まず、上記第5実施形態のLEDチップ70をリードフレーム71のチップ搭載部に固着しておく。そして、チップ70の前記 $n$ 側台座電極68と該リードフレーム71とをボンディングワイヤ（例えばAu線）72を介して接合すると共に、 $p$ 側台座電極67とリードフレーム73をボンディングワイヤ（例えばAu線）74を介して接合する。

【0062】その後は、上記状態のLEDチップ70を金型にセットして、加熱・溶融された遮光性樹脂を金型ゲート部より加圧状態で注入し、金型内で冷却・固化して、LEDチップ全体をレンズ形状の遮光性樹脂75で

取り囲むように封止すれば、図9に示すような構造で実装することができる。

【0063】本例のようなチップ主面側から外部に光を取り出すタイプの実装例では、特に、p側電極及びn型電極を透光性の電極で構成するような構造のLEDチップ（第5実施形態）を用いることにより、より高輝度なLED製品を実現することができる。

【0064】図10は、本発明の半導体発光素子を実装した他のLED製品の断面構造図であり、チップ裏面側から外部に光を取り出すタイプを示したものである。なお、本LED製品は、上記第5実施形態（図7）で示したようなp側電極及びn型電極を透光性の電極で構成する構造のLEDチップを実装する場合ではなく、第1～第4実施形態で示すような構造のLEDチップを実装する場合に適用される。このLED製品に搭載されるLEDチップ80は、例えば、絶縁性のサファイア基板81上にn-InGaAlN層82と、InGaAlNからなる活性層83と、p-InGaAlN層84とを積層したダブルヘテロ構造のウエハに対し、p型層84の一部より選択的にエッチングしてn型層82を露出させ、p型層84に対してはp側電極85を、n型層82に対しては前記p側電極85と同一の電極材料からなるn型電極86を形成している。前記p側電極85及びn型電極86の電極としては、上記第1実施形態と同様に、例えばNiとTiとAuを積層した合金を用いている。

【0065】このような構造のLEDチップ80の実装は、フリップチップ方式で行われる。すなわち、サファイア基板81の裏面側を上向きにしたフェースダウンで、チップ80のp側電極85及びn型電極86をそれぞれ半田（例えばIn、PbSn）91、92を用いてリードフレーム93、94に溶着し、電気的に接続する。そして、図9に示した実装例と同様に、チップ全体をレンズ状の樹脂95でモールドすれば、図10に示すような構造で実装することができる。

【0066】上記第1～第4実施形態のLEDチップ（n側電極及びp側電極が透光性でない）を、本例のようなチップ裏面側から光を取り出すタイプで実装すれば、図9に示す上記実装タイプ（チップ主面側から光を取り出すタイプ）で実装した場合に比べて、活性層からの発光をより有効に取り出すことができる。特に、n側電極とp側電極に同一の電極を用いているので、均質な反射特性が得られ、配光特性の優れたLED製品を実現することができる。

【0067】

【発明の効果】以上詳細に説明したように、第1の発明である半導体発光素子によれば、p側電極とn側電極を同一の金属単体または合金、もしくはそれらからなる層構造で構成したので、電極の形成工程を簡素化して製造工程の短縮を図ることができ、良好な素子特性を得ることが可能となる。

【0068】第2の発明である半導体発光素子によれば、上記第1の発明において、前記p側電極と前記n側電極を少なくともTiとAuとが積層するようにしたので、良好なオーミック特性を得ることが可能となる。

【0069】第3の発明である半導体発光素子によれば、上記第1の発明において、前記p側電極と前記n側電極を少なくともNiとAuとが積層するようにしたので、良好なオーミック特性を得ることが可能となる。

【0070】第4の発明である半導体発光素子によれば、上記第1乃至第3の発明において、前記p側電極及び前記n側電極がフリップチップ方式で第1及び第2の外部リードにそれぞれ接続され、フェースダウンで前記基板の裏面側より外部へ光を取り出すように構成されているので、配光特性の優れたLED製品を実現することが可能になる。

【0071】第5の発明である半導体発光素子によれば、p側電極とn側電極は、同一の導電性材料の単体または複合体、もしくはそれらからなる層構造で構成され且つ同一工程で形成された透光性の電極であるので、上記第1乃至第3の発明に比べて光をより有効に取り出すことができ、チップ外部への光取り出し効率を一層向上させることが可能になる。

【0072】第6の発明である半導体発光素子の製造方法によれば、基板の同一面側に窒化ガリウム系化合物半導体からなるp型層とn型層を形成し、前記p型層とn型層の全面または一部に、同一の金属単体または合金、もしくはそれらからなる層構造で構成される電極を同時に形成して、それぞれp側電極及びn側電極とするようにしたので、電極の形成工程が簡素化して全体の製造工程を短くすることが可能となる。これにより、製造時間が短縮化されるだけでなく、再現性が増すため良好な素子特性が得られる歩留を高めることができ、品質に高い信頼性を得ることができる。

【0073】第7の発明である半導体発光素子の製造方法によれば、基板の同一面側に窒化ガリウム系化合物半導体からなるp型層とn型層を形成し、前記p型層とn型層の全面または一部に、同一の導電性材料の単体または複合体、もしくはそれらからなる層構造で構成される透光性の電極を同時に形成して、それぞれp側電極及びn側電極としたので、上記第5の発明と同等の半導体発光素子を製造するに際して、電極の形成工程が簡素化して全体の製造工程の短縮を図ることが可能になり、上記第6の発明と同等の効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体発光素子の断面構造図である。

【図2】図1に示した半導体発光素子の製造工程を示す断面図である。

【図3】素子の動作電圧及び電極の密着性とNi、Tiの厚さとの関係を示すグラフである。

【図4】本発明の第2実施形態に係る半導体発光素子（シングルヘテロ構造）の断面構造図である。

【図5】本発明の第3実施形態に係る半導体発光素子（ダブルヘテロ構造）の断面構造図である。

【図6】本発明の第4実施形態に係る半導体発光素子（半導体レーザ）の断面構造図である。

【図7】本発明の第5実施形態に係る半導体発光素子（ダブルヘテロ構造）の断面構造図である。

【図8】第5実施形態の半導体発光素子の平面構造図である。

【図9】本発明の半導体発光素子を実装したLED製品の断面構造図である。

【図10】本発明の半導体発光素子を実装した他のLED製品の断面構造図である。

【図11】従来の窒化ガリウム系化合物半導体発光素子の構造を示す断面図である。

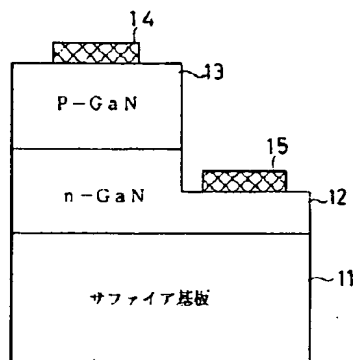
【図12】上記図11に示した半導体発光素子の製造工程を示す断面図である。

【図13】図12の続きの断面図である。

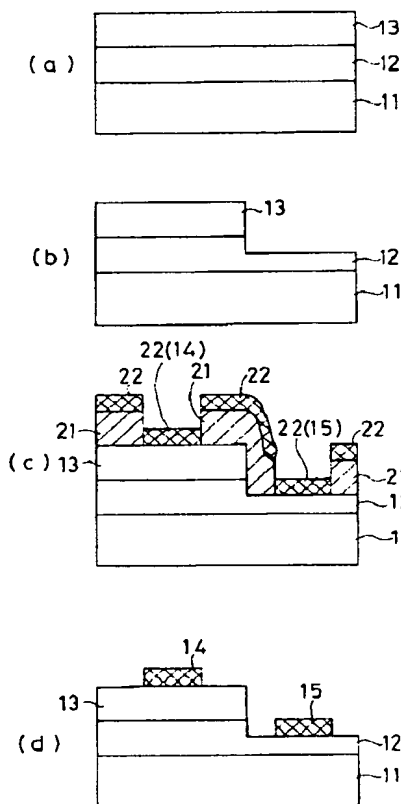
【符号の説明】

- 11, 31, 41, 51, 61 サファイア基板
- 12, 32, 42, 52, 62 n型層
- 13, 33, 34, 44, 54, 56, 64 p型層
- 14, 35, 45, 57, 65 p側電極
- 15, 36, 46, 58, 66 n側電極
- 21 マスクパターン
- 22 金属層
- 43, 53, 63 活性層
- 55 n型領域

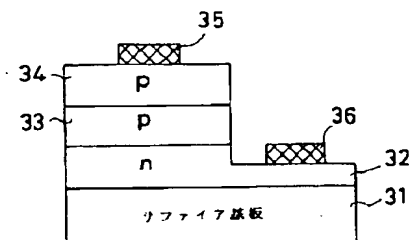
【図1】



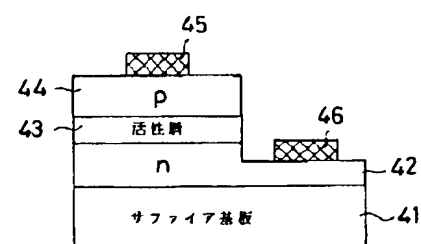
【図2】



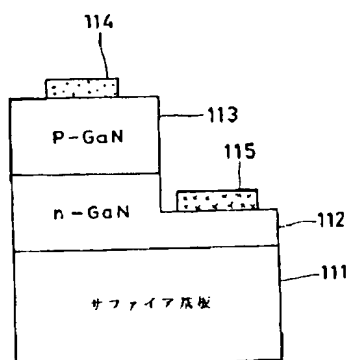
【図4】



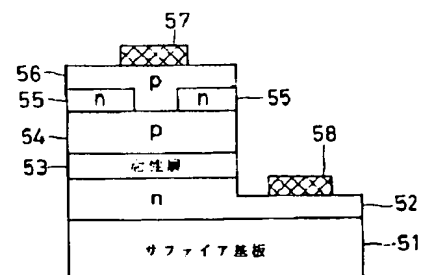
【図5】



【図11】



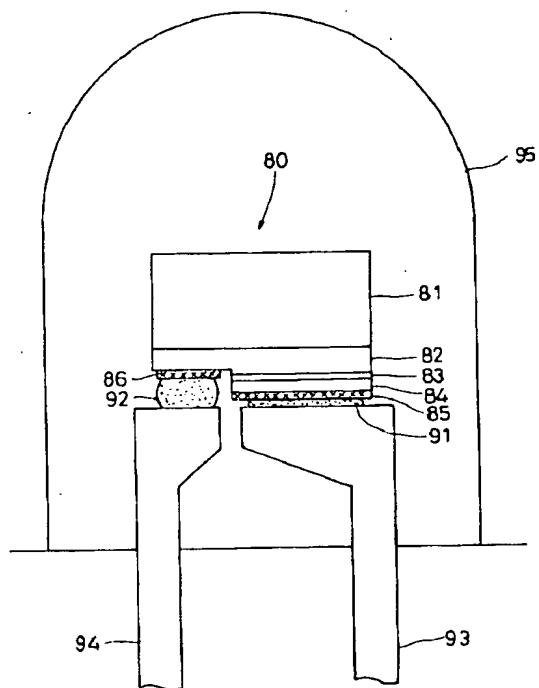
【図6】



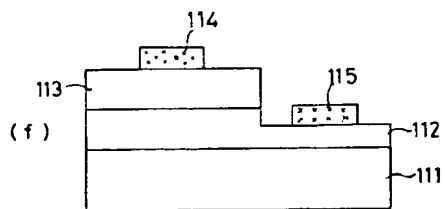
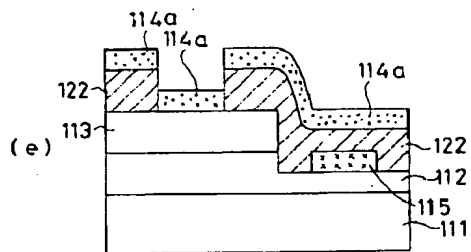




【図10】



【図13】



【図12】

